

ROS2ハードウェアIP と ROSサポート提供

2022/MAR/10
竹岡尚三(株)アックス

(株)アックス(創業1992年)の基本ソフトの採用実績



シャープ
携帯電話



オリンパス デジカメ



ザウルス



シャープ ホームサーバ



国スパコン富岳 OS研究



ロボット
(産総研)



航空自衛隊



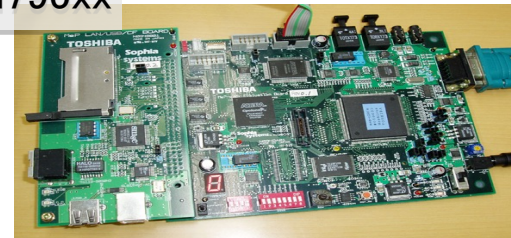
自動運転Autoware



富岳にはMcKernelが採用されている
XcalableMPの仕様策定に参加
同言語コンパイラ開発

資本金+資本準備金=5億3千万円
Nextyエレからも資本が入っている
村井純先生(インターネット殿堂入り)も株主だ

・日本の独自CPUの基本ソフトウェアをサポート
富士通 FR/V, ルネサス(旧日立製作所)SH-Mobile, SH2A, 東芝MeP,
ルネサス(旧NEC)V850, セイコーエプソンC33, C17, シャープLH795xx



NPO活動

■ 一般社団法人 組込みシステム技術協会(JASA)

- 会員企業200社 程度、歴史ある協会
- 理事,技術本部本部長, OSS活用WGリーダー
- www.jasa.or.jp



■ OSSコンソーシアム

- Linux,オープンソースを使用する企業が多数参加
 - 副会長、理事, CPE部会リーダー
 - <http://www.osscons.jp/>



■ PCクラスタコンソーシアム

- 理事
- HPC(スパコン)用基本ソフトウェアを開発
 - McKernel, XcalableMP
- 石川さん(富岳(FlagShip2020)の開発室長)が創立会長
 - <http://www.pccluster.org/>



■ DEOS協会

- 創立手続き担当、事務局、理事
- 高可用、安全性を高めるプロジェクト運営を広める団体
- 所眞理雄先生(SONY CSL創作者/慶応大学)が創立理事長
- 白坂先生(慶応大)理事長
- www.deosjo.jp



竹岡

日本のOSSの草分け

1980年代: Wnn(うんぬ)、Temporal Prolog(時相論理Prolog)を
京都大学 数理解析研究所の地下辺り(KABA)で作ったり。

1990年代初頭:豊橋技科大 湯浅研にて、1024PE規模の超並列計算機“SM-1”のLSIハードウェア、基
本ソフトウェアの設計開発に携わる。

Common Lispで開発ツール書いた。

当時、超並列計算機は、

ニューラルネットのシミュレーション

デジタル・アニーリング

(今の量子コンピュータが行なっている計算)

によく使用された

湯浅太一 & 萩谷昌己先生は
Kyoto Common Lisp
(OSSの草分け,現Gnu Common Lisp)の
作者。



萩谷さんに貰った
(サインはしてくれない)



湯浅研 SM-1 フロントエンドはSparc
開発環境はCommon LispとC

Autoware応用 iinoプロジェクト

• iino(ゲキダン イイノ)

- 関西電力の新規事業プロジェクト
- 時速 5km/h でゆっくり走行

自動運転
OSS

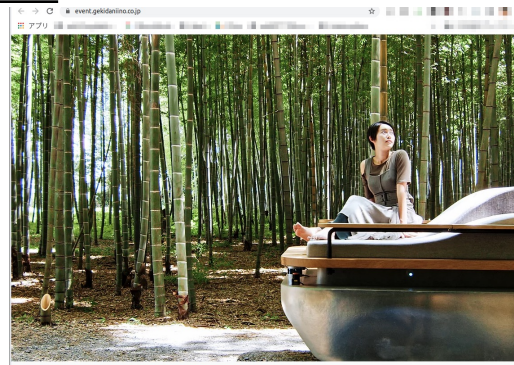
「ただの畳」

- 2019年:悟空のきもち(ヘッドスパ)、関西電力、損保ジャパン日本興亜 3社共同プロジェクト
- 日本初の自動運転車に保険
- 自動運転で走るタタミのうえで、ヘッドスパを施術

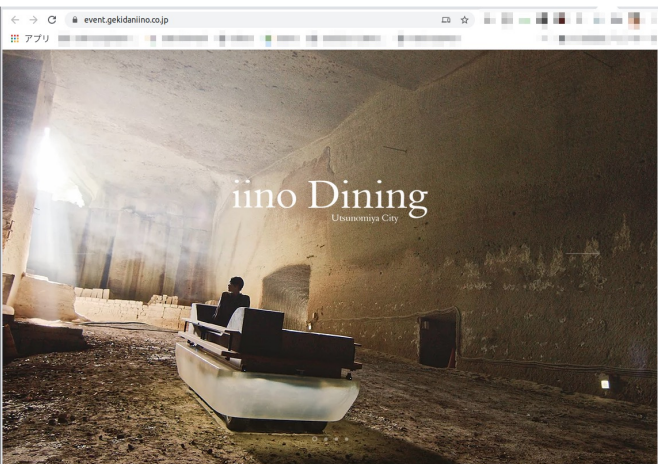
https://www.sjnk.co.jp/~media/SJNK/files/topics/2020/04/20200420_01.jpg

<https://gekidaniino.co.jp/>

<https://iinomob.jp/>



宇都宮 竹林若山農場



宇都宮 大谷資料館(採石場跡地)



最終形態

- 街なかを移動
 - チョイ乗り

ハイパ岡田メソッドAI

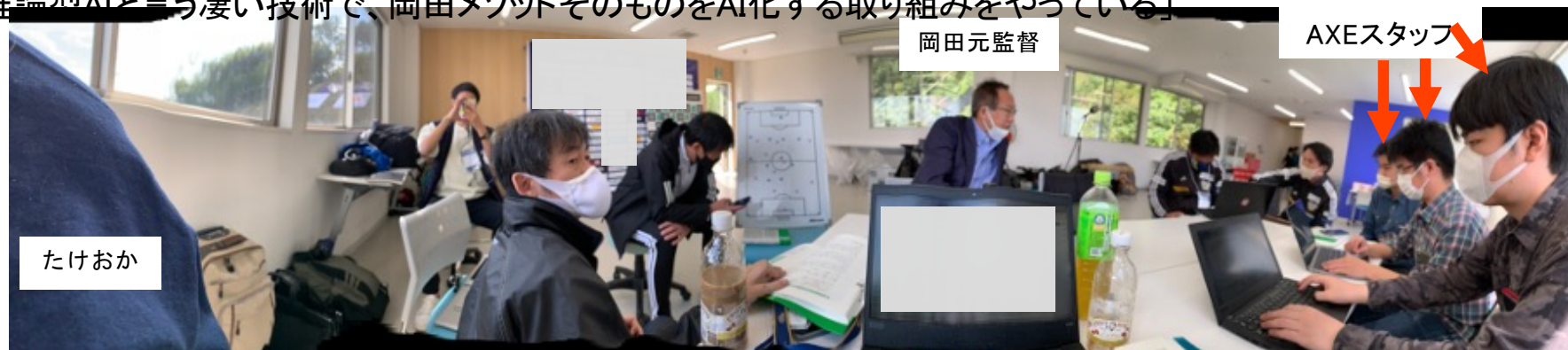
- ・ サッカー・コーチングAI
- ・ エキスパート・システム
- ・ 岡田 元監督たちと会議
 - サッカー&岡田メソッドについて教えてもらう
 - 根本的な疑問をぶつけ、→ 本の改訂につながる
 - コーチ陣は、岡田メソッドに忠実に基づいて思考していてブレが無い

岡田氏談:

「システムエンジニアは凄い、“マーク”とは？と聞かれて、それを具体的な数字で表す話まで落としていったり、目線や体の向きまでもデータとして取り込んでメソッドと関連付けてしまう」

「監督は、その場で状況を分析して判断している。試合のハーフタイムでデータアナリストの分析結果を聞いても役に立たない。AIで(リアルタイムに)データ解析して判定出来れば、監督の目が届かない、気が付かない部分まで網羅できるようになる」

「AXEと言う会社の論理推論型AIと言う凄い技術で、岡田メソッドそのものをAI化する取り組みをやっている」



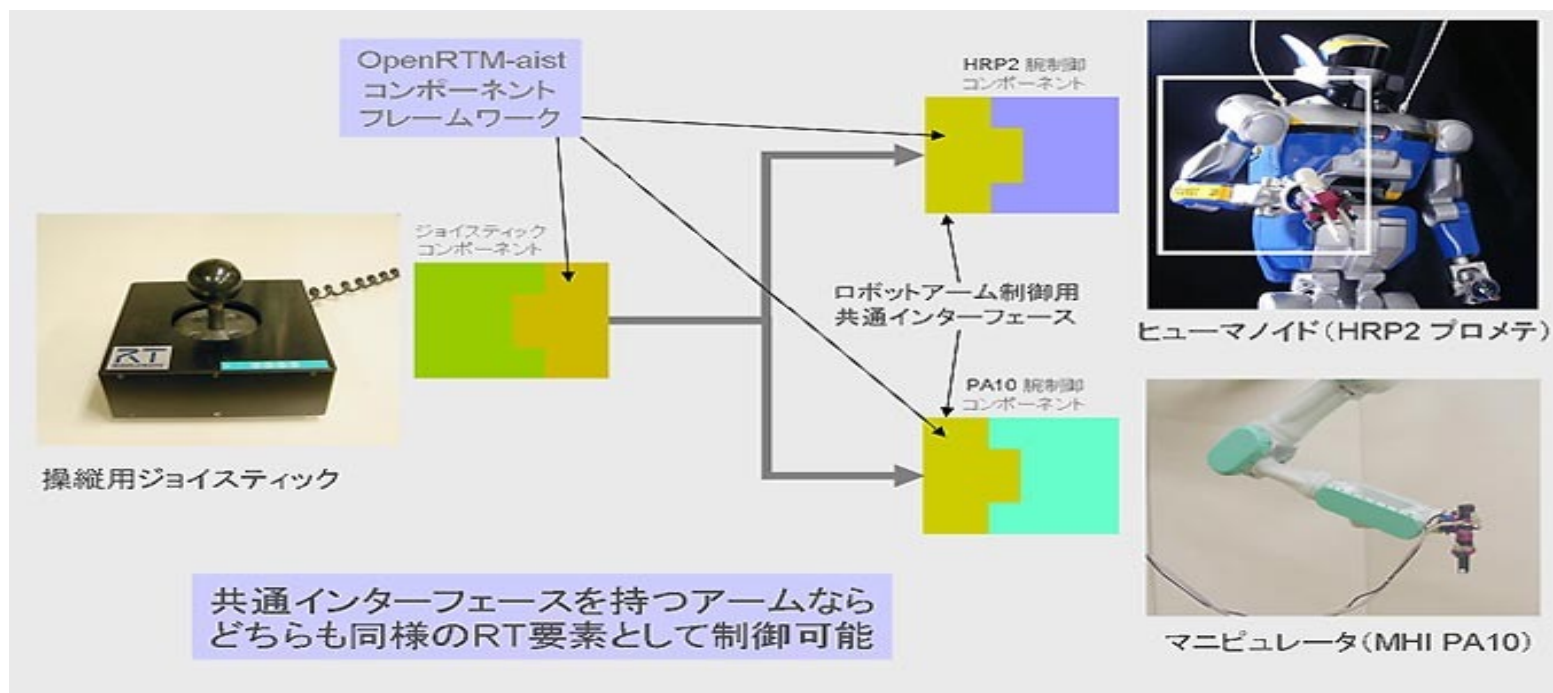
ROSと ROS2プロトコル・ハードウェア化

ロボット用ミドルウェア(ROS, RTミドルウェア など)

ROS ロボット・ミドルウェア = ソフトウェア・バス

ロボットのモジュールの流通性が高まる

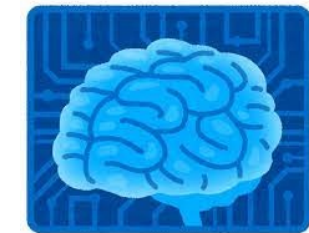
日本のロボット業界は、ROSをデファクト・スタンダードにしようと活動している



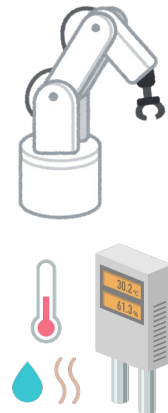
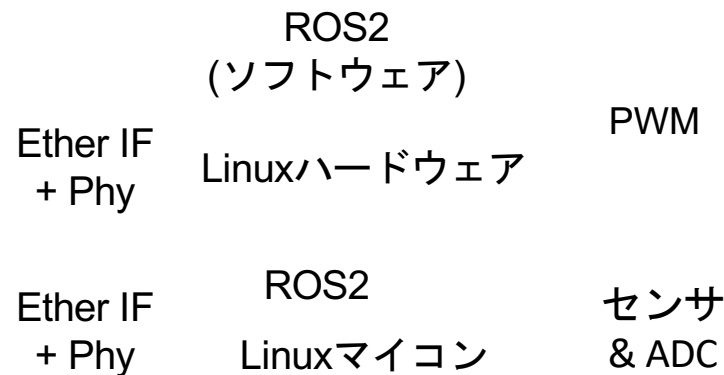
引用元 http://www.aist.go.jp/aist_j/press_release/pr2005/pr20050224/pr20050224.html

ROS2 プロトコル

- ROS2は、ロボット業界のデファクトスタンダードになろうとしている
 - ロボットの部品モジュールはROS2プロトコルで結びつける
 - ロボットの部品モジュールの流通性を高める
 - 自動運転でも使用されている
- ROS2は、これまで Linux、一部のRTOSで動作するソフトウェアだった
 - ※Linuxは高級なCPUと、多くのメモリが必要



ロボット指令
モジュール



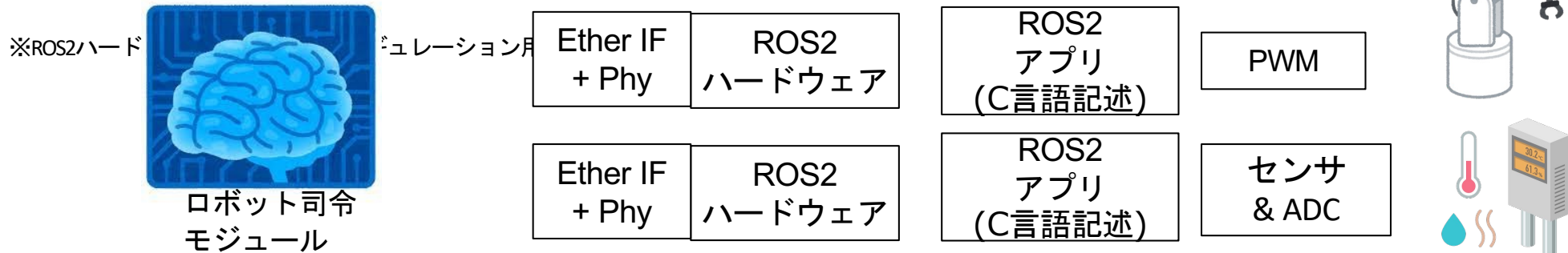
ROS2プロトコルを完全ハードウェア化した...

AXEでは、ROS2プロトコルを完全ハードウェア化した

- OSSとして、配布を検討中
 - LGPLとAXEプロプライエタリの、ダブル・ライセンスを検討中
- CPU無しで、ロボットの部品モジュールができる
 - センサとROS2プロトコルHWだけで、センサ・モジュール
 - PWMとROS2プロトコルHWだけで、アクチュエータ・モジュール
 - アプリケーションはC言語で書いておけば、すぐハードウェア論理に合成
- ロボット部品が、ゴミのようなLSIでできる ← CPU不要
- CPU脳の敗北

Arty A7-35ボード (xc7a35ti-csg324-1Lチップ)において
FPGA使用資源
LUT: 33666
FF: 13087

最大周波数: 121.01MHz



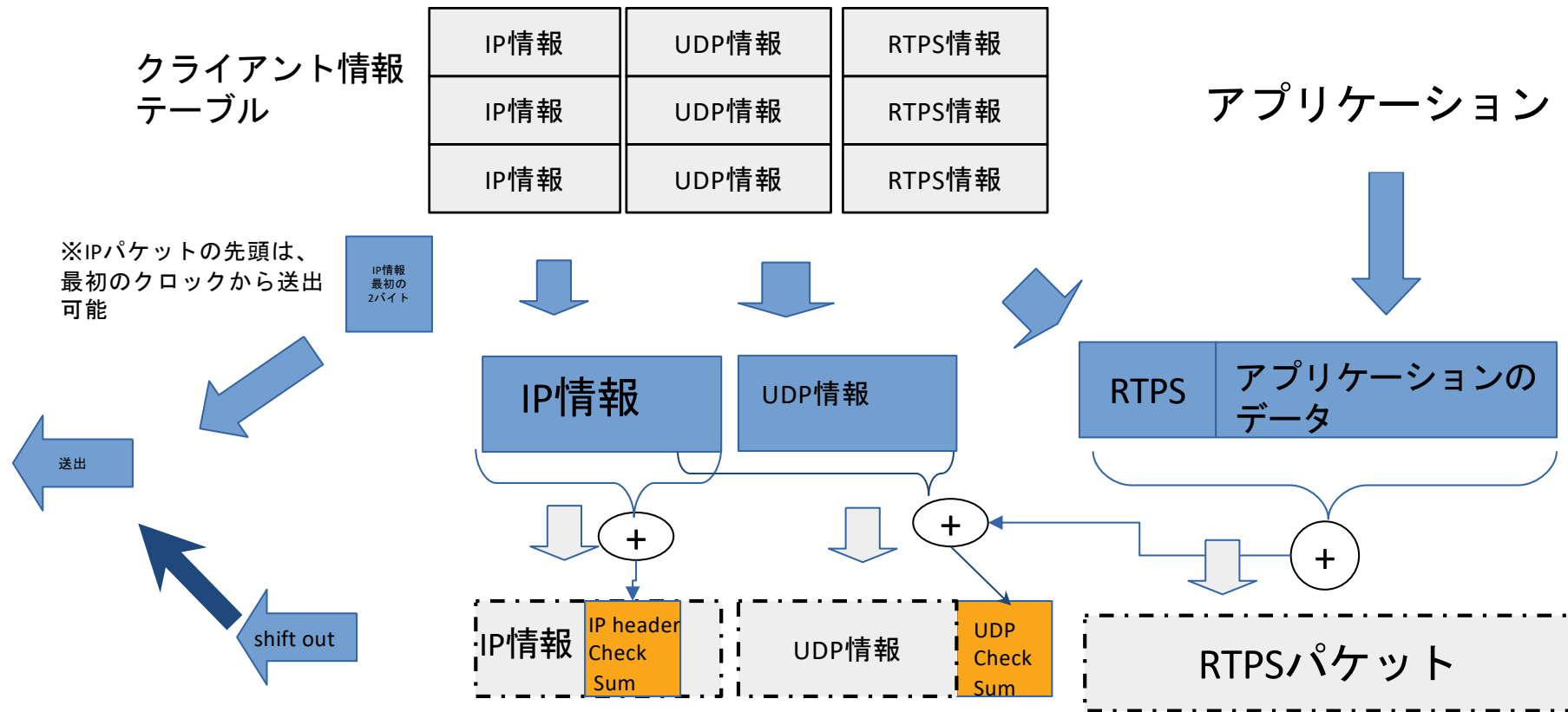
ROS2 プロトコル

- RTPS
 - 低位プロトコル
- SPDP
 - 参加者 情報を送信
 - 信頼性が無い。マルチキャスト
 - 一定時間ごとに、マルチキャスト(ブロードキャスト)送信している
- SEDP
 - エンドポイント情報を送受信
 - ACK/NAKで信頼性がある。ユニキャスト
 - Heart beat送信

ROS2 プロトコル: SEDP

- SEDP
- 今回の試作はセンサ機器として開発
- 情報受信したいクライアント情報を受信し、管理
 - クライアント・テーブルを作る
 - 新しいクライアントは登録
- 情報送信は、クライアント・テーブルに登録されているクライアントへ順次
 - ラウンドロビン(アプリケーション層の仕事)

ネットワーク・パケットの並列生成(2021/SEP/27)



- ・ FFで、シフトレジスタを構成
-FFなので 並列read可能
- FFなので、並列プリセット可能

- ・ すべての情報が確定していれば、送信パケット生成は1クロック
- ・ IPヘッダの最初の2バイトは、早期に、送出可能
- ・ 簡易なスケジューラ(ハードウェア実現)があり、複数クライアントに対応

セキュリティ面 でのオール・ハードウェアの優位性

- セキュリティ・ホールができにくい
 - スタック・オーバフロー 攻撃は、原則起きない
 - 「制御を取られる」ということが無い
 - CPUでは、悪者コードの先頭へ、 プログラム・カウンタをセットする
 - ユーザの書いたアプリケーションが、セキュリティ・ホールを産むことはありえる
 - 下回りが完璧でも、ユーザのポカはあり得る
- DOSアタック (無駄なパケットを間断なく投げつけてくる) には、勝てない(負けるとも言わないが)
- 仮にセキュリティ・ホールを突かれても、リセットすると 完全復帰
 - FPGAのコンフィギュレーションROMを書き換えることは、ほぼ不可能

俺のハードウェア (俺のASIC前夜)

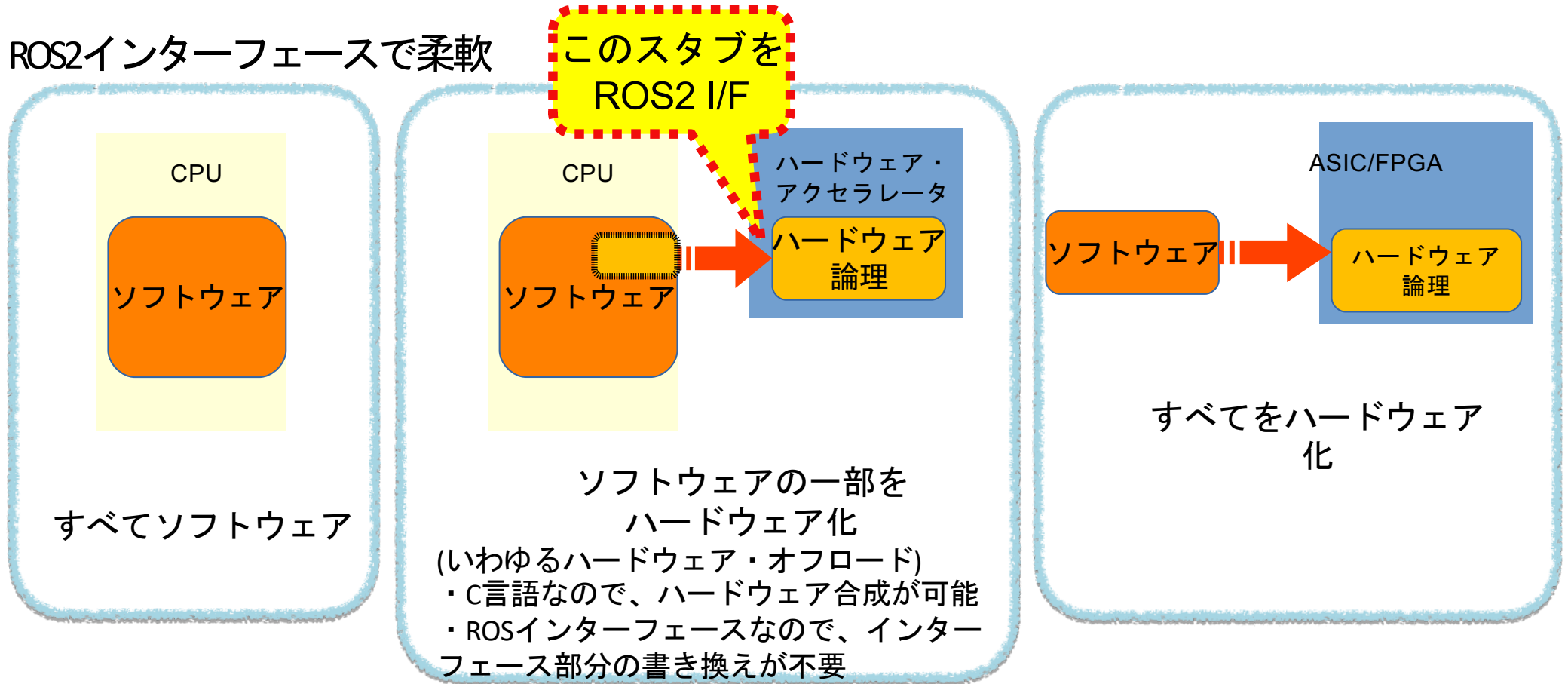
高位合成で
時代が変わった

高位合成により

- C言語ライクな(高位合成)言語で書くと、どんな形でも、どこでも実行できる
- モジュール間インタフェースは ROS2
 - AXEからの提案

高位合成によりHW⇔SWの行き来が自在

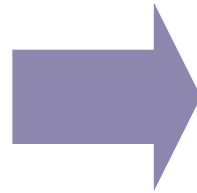
- C言語(高位記述言語)で書くと、どんな形でも、どこでも実行できる
- ROS2インターフェースで柔軟



もう、CPUは(簡単には)速くならないよ

- ついに、微細化 限界
- 微細化 による
 - 高集積
 - 高クロック周波数

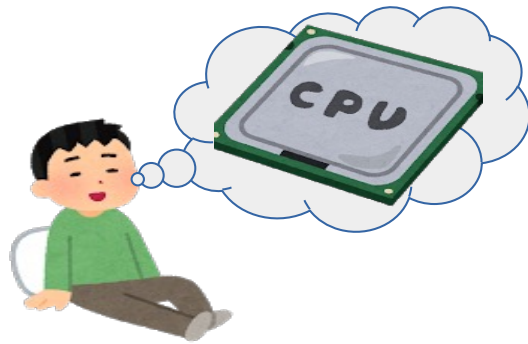
は終了



- 専用 ロジック回路による
 - 高速化
 - 省 消費電力
を行うしか

脱CPUアーキテクチャを推進する

- 新しい細粒度 高並列アーキテクチャの時代
 - 1port RAMをやめさせる、D-FFを使わせる
- 同時並列にバラバラにデータ・アクセスできる
- ツール&教育 & コンサルテーションを提供します!



CPU脳プログラマ

与えて、
救済

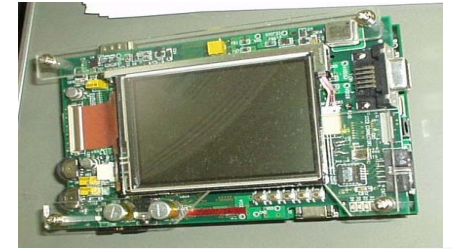


ツールと教育

AXEの ROS, OSSサポート

AXEはOSSサポートに実績あり

- Linux, BSD, OpenSolarisなどを有償サポート
 - 多数の国産 独自アーキテクチャCPUにLinuxを移植
 - FR/V(旧 富士通), SH-2(旧 日立製作所), MeP(東芝), C33(Seiko Epson)
 - ユーザ企業へ共同プロモーション, ユーザへの有償サポート提供
- Linux下の巨大ミドルウェアのサポート/改造 実績
- Gcc, GnuCommonLispなどコンパイラ、アセンブラもサポート
- 創業者 たけおかは、Wnnの開発者&サポート担当
 - 日本のOSSの創世記からOSS開発&サポート
 - X Window端末”XMiNT”企画&開発
- OpenRMT-AISTサポート提供
- 自動運転OSS “Autoware”の開発&サポート



AXEのROS 有償サポート提供



- ソフトウェアのROS, ROS2 をサポートします
- 有償
- 問題発生を知らされてから、2週間以内に、なんらかの問題 解析結果を報告
 - 参考実績:
 - Linux kernel、ライブラリ、ミドルウェアに関しては、
 - (ほぼすべての問題について)2週間以内に、問題解決 修正を実施
 - 2週間 以内の問題 解決は約束しない。
 - 問題の解析を2週間で行う
 - 変更が大規模な場合は、別途 作業 見積もりを行う
 - ハードウェア起因の問題でも...
 - 原因発見/ハードウェア修正案の提示/ソフトウェアによる回避の実施

背景:
カスタムLSI
設計&製造の
民主化

Googleがカスタム半導体の民主化・自由化を推進

- Googleと半導体ファウンドリの「SkyWater」が協力し、業界初となるオープンソースのPDKを公開
 - Skywaterは2017年に米Cypress Semiconductorからスピンオフしたファウンドリ企業
- PDK プロセス設計キット
- ある特定の半導体プロセスで回路設計を行う際に必要な設計情報
- 半導体の設計者は、半導体製造のファウンドリから「Process Design Kit(PDK)」と呼ばれる開発キットを購入
- 半導体ファウンドリが提供するPDKは高価 → それが無料 OSSに!
- SkyWaterの130nmプロセス「SKY130」で半導体チップの製造を行うための設計を無料で行うことが可能
- GitHub - google/skywater-pdk: Open source process design kit for usage with SkyWater Technology Foundry's 130nm node.

<https://github.com/google/skywater-pdk>

FOSSi(Free and Open Source Silicon Foundation)

- FOSSi(Free and Open Source Silicon Foundation)
 - 無料のオープンデジタルハードウェア設計
 - そのエコシステムを支援
 - 非営利団体
- [FOSSi Dial-Up] Tim Ansell - Skywater PDK: Fully open source manufacturable PDK for a 130nm process
<https://www.youtube.com/watch?v=EcZW2IWdnOM>
- 唯一オープンソース化がなされていなかったPDKデータがいよいよオープンソース化された
- FOSSiでは、半導体試作を無料でできるサービスも提供
 - (申込みがうまくできないが...)
- GoogleがスポンサとなりMPWシャトル・サービスを、無料で提供する予定
 - MPW(Multi-project wafer):
 - さまざまな顧客からの異なる半導体チップを1枚のウェーハで製造する
 - Skywater社で製造

国内もLSI開発の民主化 推進

日本も、国の金で 施設を用意

ふくおかIST(公益財団法人 福岡県産業・科学技術振興財団)

福岡システムLSI総合開発センター

「システムLSI設計試作センター」

- http://www.ist.or.jp/lsi/pg04_02.html

- ここで使用されているツールはほとんどがOSS

- NEC Cyber Work Bench程度が商品

- ベンチャー企業が半導体の設計ツールを安価で利用できる

- LSI設計、少量試作できる

- 50～100万円 あれば、LSIの少量生産ができる仕組みがある

EDA開発用 OSS 日本でも流行

福岡システムLSI総合開発センター
「システムLSI設計試作センター」
の設計ツール一覧

基本、OSSで揃えてある

EDA機能		製品名
ハイレベル設計	Cレベル合成	* CyberWorkBench ※NECの商品
フロントエンド設計	論理シミュレータ	* Incisive Enterprise Simulator L
	回路図エントリ	* Schematic Editor
		* ASCA
		* ASCA Basic
	シミュレーションIF	* Virtuoso ADE
		* ASCA Sim.faceA
	総合回路設計	* C ³
	Composer IFオプション	* Composer IF
	Verilog Interfaceオプション	* Verilog Interface
	SPIICE Interfaceオプション	* Analog HSPICE IF
	アナログ回路シミュレータ	* Spectre circuit Sim
* Msim		
汎用回路波形解析	* SimVision	
レイアウト	レイアウトエディタ	* Virtuoso LE
		* ISMO
	Cadence Linkオプション	* Cadence Link (DF II Upgrade)
レイアウト検証 その他	DRC	* Calibre DRC
	LVS	* Calibre LVS
	IFオプション	* Calibre RVE
	DRC/ERC	* iDRC/ERC
	Caliber IFオプション	* Calibre IF
	寄生パラメータ抽出	* Calibre xRC

FPGAもより自由に

非営利団体「Open Source FPGA Foundation（OSFPGA Foundation）」

<https://osfpga.org/>

- 2021年4月8日、非営利団体「Open Source FPGA Foundation（OSFPGA Foundation）」の設立が発表された。
- OSFPGA Foundationは、オープンソースのFPGA設計ツールとIPブロックの普及推進を目的に組織された団体で、Open-Silicon社の創業者でSiFiveの会長も務めていた
- Naveed Sherwani氏が会長を務める。ボードメンバーには大学や研究機関の研究者が名を連ねており、FPGAベンダからはQuickLogicの社長兼CEOであるBrian Faith氏も参画している。同氏はオープンソースのチップ設計を目指す「CHIPS Alliance」やRISC-Vベースのオープンソースコアを

<https://www.eda-express.com/2021/04/fpgaipopen-source-fpga-foundation.html>

ソフトコアCPU
改造 承ります

RISC-Vのトラストゾーン

TEE実装 Key stone が、どう動くか調査

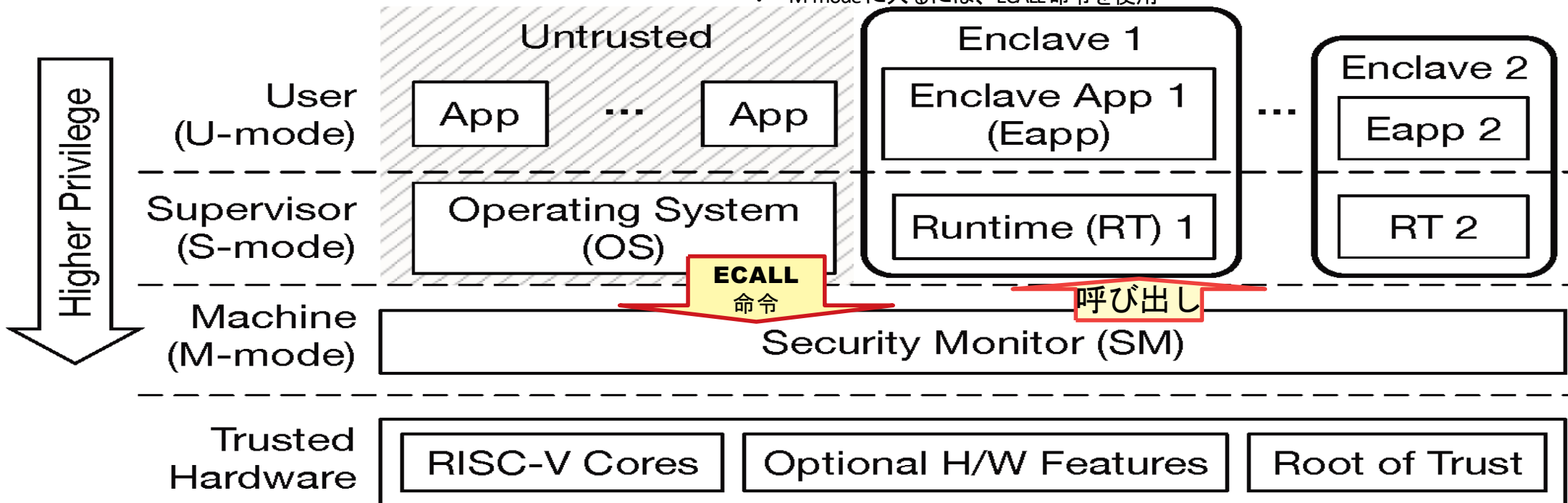
<http://docs.keystone-enclave.org/>

オープンソース・プロジェクト

ARMでいう Trust Zone と同等のものを、RISC-Vで実現

- OSSなので、ソースを読んで調査

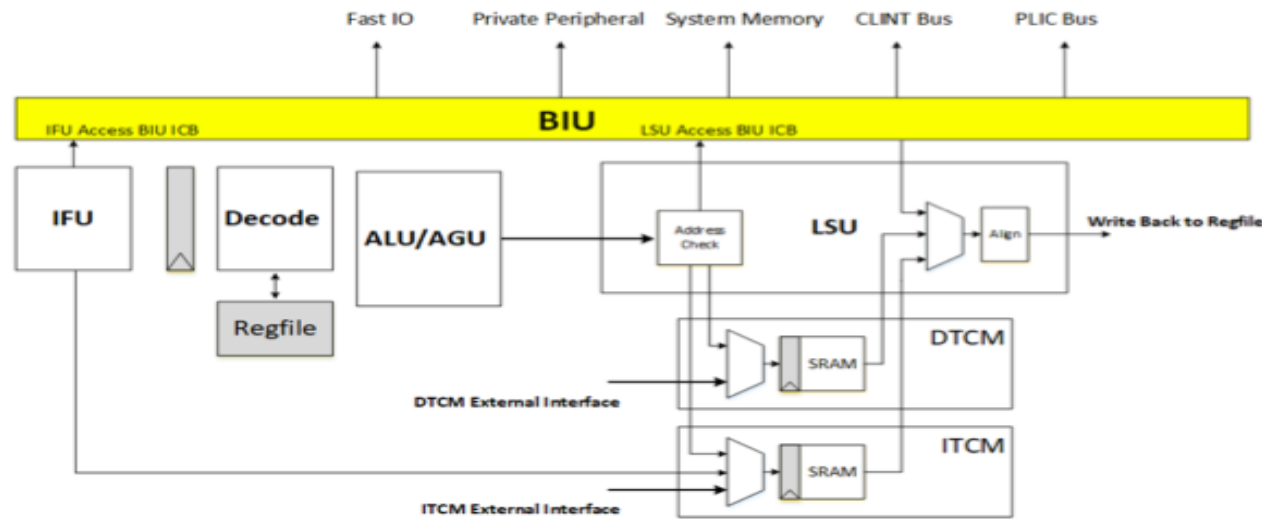
- RISC-V(Key stoneが使用の実装)には、3つのレベルがある
- U-mode (User) / S-mode (Supervisor; OS) / M-mode (Trusted)
- M-modeのみ物理空間で、プロテクトできる(TrustWorld)
- U-mode や S-mode は仮想空間(通常のOSが使用)
- M-modeに入るには、ECALL 命令を使用



Humming bird E203 core改造

- e203には、ビット操作 拡張命令 “B”が入っていない
- オレオレ 命令 を追加

population, parity, clz(count leading zero), ctz(count trailing zero),
Float add, bit reverse, half word exchange, quarter word exchange



E203はTang Primer FPGAボードで動作するRISC-Vソフトコア

図は下記より引用:

- ITCM and DTCM is integrated inside Core

https://content.riscv.org/wp-content/uploads/2018/07/Shanghai-1110_HummingBirdE200forShanghaiDay_v1.pdf

SPARCもオープンソースなソフトコアあり

- Open Sparc

<https://www.oracle.com/servers/technologies/opensparc-overview.html>

- LEONシリーズ

- 欧州宇宙機関(ESA)が積極開発

- Open Sparc の継続

<https://en.wikipedia.org/wiki/LEON>

- Len3, 3FT,4,5

- LEON3FT : Fault-tolerant processor

<https://www.gaisler.com/index.php/products/ipcores>

<https://www.gaisler.com/index.php/products/processors/leon3>

- Leon3 はGPL

- SPARC v8 が FPGAでも動作

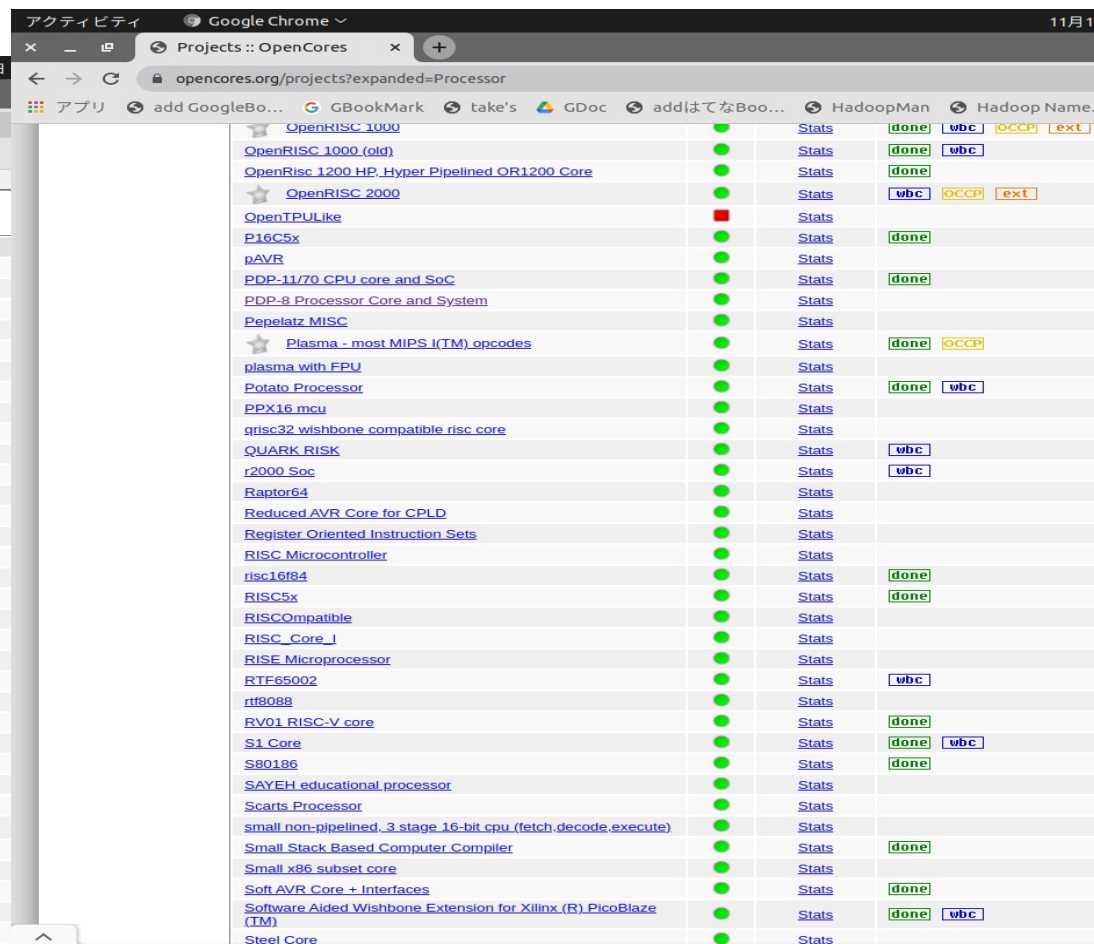
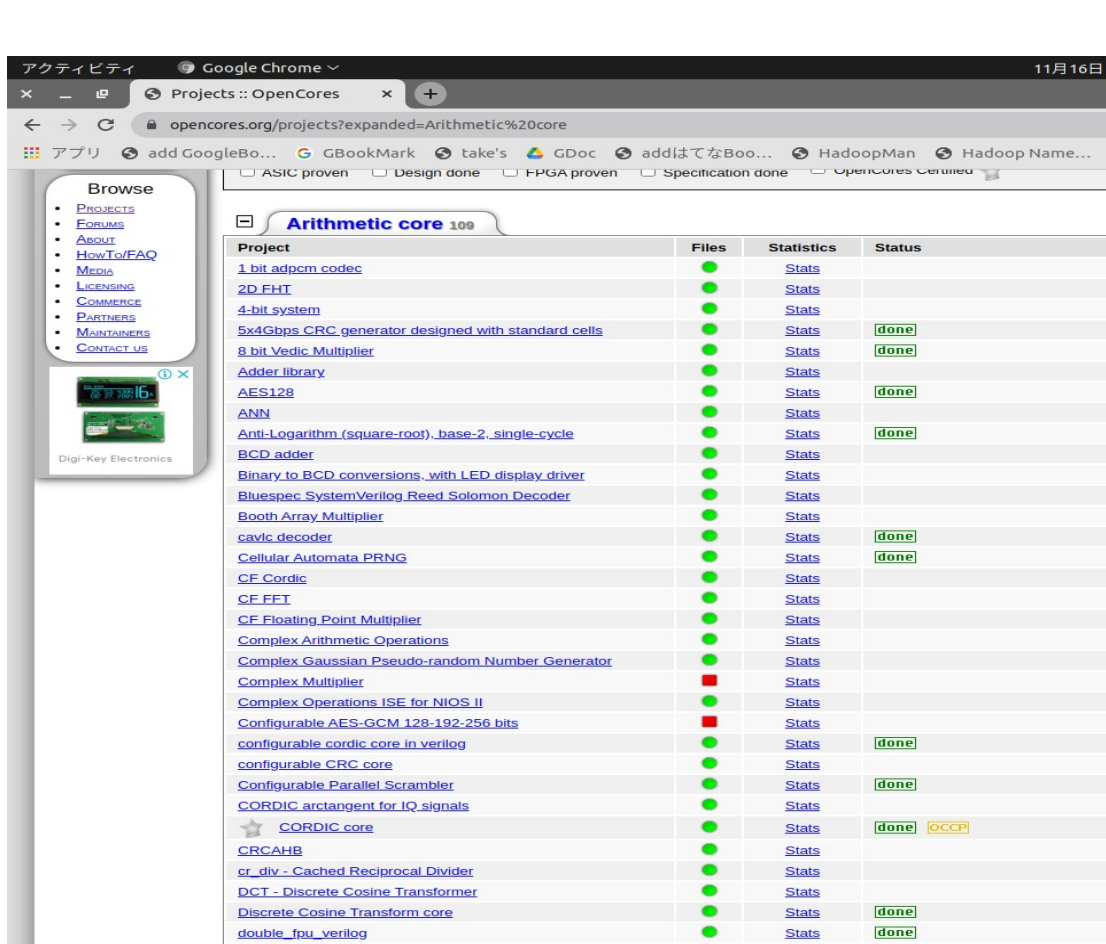
オープンソースなソフトコア

- Opencores

<https://opencores.org/>

オープンソース・プロジェクトのコア

有名コアのRTL記述 多数あり ※ライセンスに注意



以上

ROSサポート
AIもやっています 「ごまめ[®]」

お問い合わせ

<https://www.axe.bz/>

mail to: eigyo@axe.bz